

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-210782  
 (43)Date of publication of application : 03.08.2001

(51)Int.Cl. H01L 25/065  
 H01L 25/07  
 H01L 25/18  
 H01L 21/3205  
 H01L 23/12  
 H01L 23/52

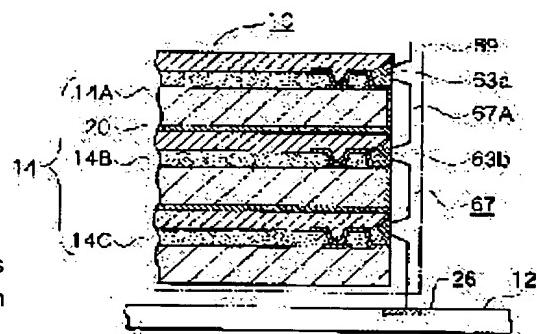
(21)Application number : 2000-019116 (71)Applicant : SEIKO EPSON CORP  
 (22)Date of filing : 27.01.2000 (72)Inventor : NOZAWA KAZUHIKO  
 EMOTO YOSHIAKI

## (54) SEMICONDUCTOR CHIP, MULTI-CHIP PACKAGE, SEMICONDUCTOR DEVICE, AND ELECTRONIC EQUIPMENT USING IT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor chip, a multi-chip package, a semiconductor device, and an electronic equipment using it, for easy manufacturing a terminal electrode, reduced external dimension, easy 3-dimension mounting of a semiconductor chip, and minimum degradation in electric characteristics.

**SOLUTION:** A conductor is applied, in paste, to a division point set for each chip unit which is determined on a wafer in advance by a printing device. The conductor is divided into chip units to form a bump terminal electrode, thus forming a semiconductor chip. The bump terminal electrode divided for each chip unit is provided at the divided point set for each chip unit which is pre-determined on the wafer. The semiconductor chips are laminated with the electrode connected, and a conductor for conduction between laminated chips is provided to constitute a multi-chip package. The terminal electrode of the semiconductor chip is connected to the electrode of a circuit board to constitute a semiconductor device.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-210782

(P2001-210782A)

(43)公開日 平成13年8月3日(2001.8.3)

(51)Int.Cl.<sup>7</sup>  
H 0 1 L 25/065  
25/07  
25/18  
21/3205  
23/12

識別記号

F I  
H 0 1 L 25/08  
21/88  
23/12  
23/52

テマコト<sup>\*</sup>(参考)  
Z 5 F 0 3 3  
T  
L  
C

審査請求 未請求 請求項の数9 OL (全8頁) 最終頁に続く

(21)出願番号 特願2000-19116(P2000-19116)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(22)出願日 平成12年1月27日(2000.1.27)

(72)発明者 野澤一彦

長野県諏訪市大和3丁目3番5号 セイコ  
一エプソン株式会社内

(72)発明者 江本義明

長野県諏訪市大和3丁目3番5号 セイコ  
一エプソン株式会社内

(74)代理人 100093388

弁理士 鈴木喜三郎(外2名)

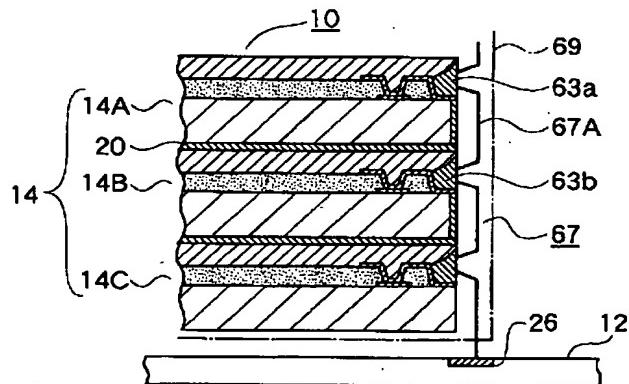
Fターム(参考) 5F033 HH08 PP26 RR04 SS25 WV07

(54)【発明の名称】 半導体チップ、マルチチップパッケージ、および半導体装置と、並びに、それを用いた電子機器

(57)【要約】

【課題】 端子電極の製造を容易にするとともに外形寸法が小さき、かつ、半導体チップの3次元実装が容易にできるとともに、電気的特性の劣化を最小にすることのできる半導体チップ、マルチチップパッケージ、および半導体装置と、並びに、それを用いた電子機器を提供する。

【解決手段】 ウエハに予め定められたチップ単位毎に設定されている分割個所に、印刷装置によりペースト状態で導電体が塗布される。この導電体は、チップ単位毎に分割されてパンプ端子電極を構成し、半導体チップが形成される。ウエハに予め定められたチップ単位毎に設定されている分割個所に、チップ単位毎に分割されたパンプ端子電極を有する。この半導体チップを積層し、前記電極を接続し積層したチップ間を導通する導電体を設けてマルチチップパッケージを構成する。この半導体チップの端子電極を回路基板の電極に接続し半導体装置を構成する。



**【特許請求の範囲】**

**【請求項 1】** ウエハに予め定められたチップ単位毎に設定された分割個所に、導電材料を印刷装置により塗布し、チップ単位毎に分割した端子電極を有することを特徴とする半導体チップ。

**【請求項 2】** 導電材料を塗布する装置は、インクジェット方式、ディスペンス方式、および、スプレー方式からなる吐出型印刷装置、又は、スクリーン印刷方式、ピン転写方式、たこ式転写方式からなる転写印刷装置のいずれであることを特徴とする請求項 1 記載の半導体チップ。

**【請求項 3】** 請求項 1 あるいは請求項 2 記載の半導体チップにおいて、分割される端子電極は、インクジェット装置より吐出した半田、金、あるいは、銀のいずれであることを特徴とする半導体チップ。

**【請求項 4】** ウエハに予め定められたチップ単位毎に設定されている分割個所に、チップ単位毎に分割された端子電極を有する半導体チップを積層し、かつ、各電極を接続し積層したチップ間を導通する導電体からなることを特徴とするマルチチップパッケージ。

**【請求項 5】** 少なくとも同一種類の半導体チップを連続積層してなり、各電極を半導体チップの電極に接続したことを特徴とする請求項 4 記載のマルチチップパッケージ。

**【請求項 6】** ウエハに予め定められたチップ単位毎に設定された分割個所に、導電材料を印刷装置により塗布し、チップ単位毎に分割した端子電極を有し、端子電極を半導体チップの電極に接続したことを特徴とする半導体装置。

**【請求項 7】** 同一または異種サイズの複数の半導体チップをそれらの隣接する 2 辺を整列して積層し、各半導体チップに共通する端子を上記整列された縁辺側に集中させ、集中配置された積層チップ間の端子同士に電極を配置し、各電極を半導体チップの電極に接続したことを特徴とする請求項 6 記載の半導体装置。

**【請求項 8】** 各半導体チップの電極共通端子の配列パターンを同一にし、共通を積層体の端面部分に一直線上に配列させるとともに、各電極を回路基板の電極に接続したことを特徴とする請求項 6 あるいは請求項 7 記載の半導体装置。

**【請求項 9】** 請求項 6 乃至請求項 8 記載のいずれの半導体装置において、半導体装置をマザーボードで接続した回路基板を備えたことを特徴とする電子機器。

**【発明の詳細な説明】****【0 0 0 1】**

**【発明の属する技術分野】** 本発明は半導体チップ、マルチチップパッケージ、および半導体装置と、並びに、それを用いた電子機器に関する。

**【0 0 0 2】**

**【從来の技術】** 近年、電子機器の高性能化、小型化に伴

って 1 つのパッケージ内に複数の半導体チップを配置してマルチチップパッケージ (Multi Chip Package) することにより、半導体装置の高機能化と小型化とが図られている。そして、マルチチップパッケージには、複数の半導体チップを平面的に並べたものと、複数の半導体チップを厚み方向に積層したものがある。半導体チップを平面的に並べたマルチチップパッケージは、広い実装面積を必要とするため、電子機器の小型化への寄与が小さい。このため、半導体チップを積層したスタックド M C P の開発が盛んに行われている。

**【0 0 0 3】** この種のパッケージ構造としては、実開昭 62-158840 号、特開平 6-37250 号の公報に開示されているように、複数の半導体チップを外形寸法の大きさにしたがってピラミッド状に積層し、各半導体チップの上面に設けた端子電極をボンディングワイヤによって接続する構成となっているのが一般的である。

**【0 0 0 4】**

**【発明が解決しようとする課題】** ところが、上記従来構造のマルチチップパッケージでは、積層する順位がチップサイズによって規制されてしまい、積層の自由度が少ないという欠点がある。また、チップ間の端子電極の接続にボンディングワイヤを利用して行なうが、端子間距離が一定していないため、ワイヤ長さが種々にわたってしまい、ボンディング長さに起因する電気的特性の劣化が生じてしまう問題がある。更に、積層するチップの下位チップは必ず上位チップよりは端子電極の形成領域が露出している必要があり、チップサイズに限定要件があるため、設計自由度が極めて小さいという問題もある。また、同一サイズの下位チップと上位チップとを用いたときには、下位半導体チップと上位半導体チップとの間に、ボンディングワイヤのための空間を必要とし、外形寸法が大きくなるという欠点がある。このために、同一サイズの下位チップと上位チップでも、外形寸法が小さく、電極の製造が容易なマルチチップパッケージの開発が望まれている。また、従来では、電極は蒸着あるいは電極個所に半田ペーストをいちいち塗布して形成されているため、製造工程が多くなるため、簡単な製造により作成できることが望まれている。

**【0 0 0 5】** 本発明は、上記従来の問題点に着目し、端子電極の製造を容易にするとともに外形寸法が小さくでき、かつ、半導体チップの 3 次元実装ができるとともに、電気的特性の劣化を最小にすることのできる半導体チップ、マルチチップパッケージ、および半導体装置と、並びに、それを用いた電子機器を提供することを目的とする。また、第 2 にはチップサイズに影響を受けずに 3 次元実装できるようにすることを目的とする。

**【0 0 0 6】**

**【課題を解決するための手段】** 上記目的を達成するために、本発明に係る半導体チップは、ウエハに予め定められたチップ単位毎に設定された分割個所に、導電材料を

印刷装置により塗布し、チップ単位毎に分割した端子電極を有することを特徴とする。

【0007】このように構成した本発明は、端子電極は印刷装置により流動状態で塗布されて電極が形成され、ウエハが予め定められた分割個所でチップ単位毎に分割されるときに、電極も同時に分割される。また、一回の塗布と、ウエハの切断に伴い二つの半導体チップの電極を作ることができるので製作工程が少なくなる。

【0008】また、導電材料を塗布する装置は、インクジェット方式、ディスペンス方式、および、スプレー方式からなる吐出型印刷装置、又は、スクリーン印刷方式、ピン転写方式、たこ式転写方式からなる転写印刷装置のいずれで行うことにより簡単に製作でき、製作工程を少なくできる。

【0009】また、分割される端子電極は、インクジェット装置より吐出した半田、金、あるいは、銀のいずれの導電材料で電極を製作するために、より製造が容易になる。

【0010】本発明に係るマルチチップパッケージは、ウエハに予め定められたチップ単位毎に設定されている分割個所に、チップ単位毎に分割された端子電極を有する半導体チップを積層し、かつ、各電極を接続し積層したチップ間を導通する導電体からなることを特徴とする。

【0011】このように構成した本発明は、チップの同一箇所に作られた電極をほぼ同じ長さの導電体で導通するため、ほぼ同じ長さにできる。また、積層した側面に電極間を接続する導電体を配設したため、同一サイズの下位半導体チップと上位半導体チップでも、ボンディングワイヤのために必要とする上下方向の空間が不要となる。

【0012】また、少なくとも同一種類の半導体チップを連続積層してなり、各電極を半導体チップの電極に接続するようにすると良い。

【0013】このように構成した本発明は、同一種類の半導体チップを連続積層しているため、上下方向の空間が不要となり、外形寸法の厚さを小さく出来る。

【0014】本発明に係る半導体装置は、ウエハに予め定められたチップ単位毎に設定された分割個所に、導電材料を印刷装置により塗布し、チップ単位毎に分割した端子電極を有し、端子電極を半導体チップの電極に接続したことを特徴とする。

【0015】このように構成した本発明は、前記と同様に、端子電極は印刷装置により流動状態で塗布されて電極が形成され、ウエハが予め定められた分割個所でチップ単位毎に分割されるときに、電極も同時に分割されるため、半導体チップの電極が容易に製作できるので安価になり、それに伴い、半導体装置も安価にできる。

【0016】また、本発明に係る半導体装置は、同一または異種サイズの複数の半導体チップをそれらの隣接す

る2辺を整列して積層し、各半導体チップに共通する端子を上記整列された縁辺側に集中させ、集中配置された積層チップ間の端子同士に電極を配置し、各電極を半導体チップの電極に接続したことを特徴とする。

【0017】このように構成した本発明は、電極は隣接する2辺の範囲内に集中配置するとともに、同一列で電極を接続することが出来るため製造が容易になる。半導体チップの3次元実装が容易にできるとともに、電気的特性の劣化を最小にすることのできる。

10 【0018】また、半導体装置は、各半導体チップの電極共通端子の配列パターンを同一にし、共通を積層体の端面部分に一直線上に配列させるとともに、各電極をロジックチップの電極に接続するようにすることが望ましい。

【0019】このように構成した本発明は、前記と同様に、電極間を接続する導電体の長さがほぼ同じ長さにでき、電気的特性の劣化を最小にすることのできるとともに、同一列で電極を接続することが出来るため製造が容易になる。

20 【0020】また、電子機器は、上記の半導体装置をマザーボードで接続して回路基板を備えたことを特徴とする。

【0021】このように構成した本発明は、外形寸法の厚さを小さく出来るので、電子機器の外形も小型にできる。また、製造工程が少ないとともに、製造の容易なマルチチップパッケージを用いている。

【0022】

【発明の実施の形態】以下に、本発明に係る半導体チップ、マルチチップパッケージ、および半導体装置と、並びに、それを用いた電子機器の好ましい実施の形態を添付図面に従って詳細に説明する。

30 【0023】図1乃至図6は本発明の実施形態に係るマルチチップパッケージ10を構成する半導体チップ14の斜視図あるいは一部断面側面形状を示す製造工程図である。

【0024】図1は、本発明を用いる後述するマルチチップパッケージ10の半導体チップ14を構成するシリコンウエハ51部の一部斜視図、図2は側面断面図で図1のA-A断面図である。シリコンウエハ51の上面(能動面側)には、予め定められたチップ単位毎に回路素子、例えば、アルミニウム配線53の回路が作り込まれており、また、半導体チップ14のチップ単位毎の分割個所(La)が設定されている。また、半導体チップ14の上面には、アルミニウム配線53の一部でチップ電極パッド用穴55、および、チップ単位毎に設定されている分割個所(La)を除いて絶縁膜57(SiO<sub>2</sub>膜)が被覆されている。すなわち、アルミニウム配線53等の回路が作成されたシリコンウエハ51の上面は、熱酸化により絶縁膜57(SiO<sub>2</sub>膜)を作った後に、チップ電極パッド用穴55および分割個所(La)

a) をホトエッティングにより絶縁膜 57 (SiO<sub>2</sub>膜) を除去している。

【0025】図3では、絶縁膜57(SiO<sub>2</sub>)の上側で、かつ、チップ電極パッド用穴55に配されたアルミニューム配線53と導通されるメタル層59をチップ単位毎に設定されている分割個所(La)に延長させ、このメタル層59を通じてチップ端縁から信号入出力を行わせるようにしている。このメタル層59はアルミニュームの蒸着等により行なっても良い。

【0026】図4では、分割個所(La)に配されたメタル層59の上にインクジェット装置61よりペースト状の流動状態の導電材料が吐出されてメタル層59の上に重ねられた後に、硬化されている。この硬化された端子電極63は円筒形状で形成されている。この端子電極63には、半田、金、あるいは、銀のいずれかが用いられている。分割される端子電極63は、インクジェット装置61より半田ペースト、金ペースト、あるいは、銀ペーストのいずれかの導電材料を吐出し、硬化した導電材料で端子電極63を製作するために、他より製造が容易になる。なお、上記において端子電極63は、インクジェット装置61を用いたが、同じ吐出型印刷装置であるディスペンス方式およびスプレー方式でも良く、又は、転写印刷装置である方式、ピン転写方式でも良い。

【0027】図5および図6では、シリコンウエハ51は、チップ単位毎に設定されている分割個所(La)で切断され、これに伴い、硬化された端子電極63も一緒に切断される。この切断には、一般的に、ダイヤモンドカッタ(Dc)、ダイヤモンドブレード、あるいは、レーザ光で切断するスクライビング法が行われる。これにより、端子電極63は、分割個所(La)に配されたメタル層59に一部が重ねられた状態で二つに切断され、各々の端子電極63a、63bが両側に製作された半導体チップ14A、14Bの外部に接続する電極となるようになされている。

【0028】図5では、設定されている分割個所(La)でチップ単位毎に切断されたチップは、端子電極63の部分を除いて、樹脂封止材65によりモールドされ、各々の半導体チップ14A、14Bが製造される。この樹脂封止にはモールド金型を用いたトランスマルチモールド方法、あるいは、ポッティング樹脂を用いたポッティング方法等を用いることが出来る。

【0029】図7、図8、および、図9では、各々の半導体チップ14A、14B、14C…(本実施形態では3個)が連続して積層され、この積層された半導体チップ14は各々の端子電極63a、63bが導電体67により順次連結されることにより、マルチチップパッケージ10が構成されている。各々の半導体チップ14A、14B、14Cが連続して、すなわち、図示の上下方向で接触して積層されることにより厚さが小さく出来る。

【0030】図7では、各々の端子電極63a、63b

が導電体67である第1実施形態であるポンディングワイヤ67Aにより接続されて導通をとるようにされている。これにより、ポンディングワイヤ67Aの長さがほぼ同じ長さにでき、電気的特性の劣化を最小にすることができる。また、同一サイズの上側半導体チップ14Aと下側半導体チップ14Bとが用いられても、ポンディングワイヤ67Aのために必要な上下方向の空間が不要となり、外形寸法の厚さを小さく出来る。ポンディングワイヤ67Aは後述するプリント回路基板12に形成される外部電極端子26に対して接続をなせばよい。ポンディングワイヤ67Aの外側は、外側樹脂封止材69によりモールドされ、マルチチップパッケージ10が構成されている。

【0031】図8では、各々の端子電極63a、63bが導電体67である第2実施形態であるインクジェット装置61からペースト状態で吐出された、半田ペースト、金ペースト、あるいは、銀ペーストのいずれかの半田用導電体67Bにより接続されて導通をとるようにされている。また、このインクジェット装置61は、このインクジェットから半導体チップ14の端面に封止絶縁膜71で被覆して形成するようにしても良い。これにより、簡単な装置の構成により、導電体67および封止絶縁膜71を作ることが出来る。

【0032】図9では、各々の端子電極63a、63bが導電体67である第3実施形態であるリード棒67Cにより接続されて導通をとるようにされている。リード棒67Cは、レーザ光により、溶着され接続されている。その他は同一のため詳細な説明は省略する。リード棒67Cは後述するプリント回路基板12に形成される外部電極端子26に対して接続をなせばよい。

【0033】図10は上記で説明した電極構造(製造工程図7乃至図9)を用いた実施形態に係るマルチチップパッケージ10をプリント回路基板12に実装した状態からなる半導体装置36の概略斜視図の一例である。これらに図示しているように、マルチチップパッケージ10は、異種サイズの複数の半導体チップ14A、14B、14Cをそれらの隣接する2辺が整列するように上下に積層して構成されている。換言すれば、半導体チップ14A、14B、14Cのサイズの如何に拘わらず、それらの一つのコーナ部分が一致するように積層するのである。この実施形態では、上層には正方形をなす最小半導体チップ14Aが配置され、その下位の中間層には一回り大きい正方形サイズの半導体チップ14Bが配置され、最下層の半導体チップ14Aは、上記正方形半導体チップ14Bの1辺長さより長い長辺と、正方形半導体チップ14Bの1辺長さよりは短い短辺を有する長方形半導体チップ14Cが配置されるように積層されている。そして、同一サイズの複数の最小半導体チップ14Aは縁辺を揃えて連続して積層するようにしている(図示の例では3層)。

【0034】このように同一または異種サイズの複数の半導体チップ14A、14B、14Cをそれらの隣接する2辺16X、16Yを整列するように一つのコーナが一致するようにして積層させるため、各半導体チップ14(14A、14B、14C)では、次のような構成を採用している。すなわち、各半導体チップ14A、14B、14Cに共通する端子を上記整列された縁辺16X、16Y側に集中させているのである。例えば、半導体チップ14をメモリ素子として構成した場合、電源ライン、データライン、アドレスラインなどの電極端子、あるいはライトイネーブルなどの制御端子を共通にすることができる。したがって、このような共通端子18n(n=1、2、……n)を各半導体チップ14における整列縁辺16X、16Yに集中配置するようにしている。このとき、各半導体チップ14の共通端子の配列パターンを一致させる。もちろん、端子ピッチ間隔も一定にすることが望ましい。このようにすることにより、各半導体チップ14が積層されたとき、積層体の端面に配列された端子18nが鉛直方向に1直線に配列される。

【0035】各半導体チップ14を積層するに際して、層間に絶縁接着樹脂20(図7参照)を介在させることで、チップ間で端子と基板シリコンとの接触による不具合を防止できる。そして、積層チップ14の端子18n同士は図1に示しているように、ボンディングワイヤ67Aなどにより接続して導通をとるようにしている。これは、例えば、各半導体チップ14の端子18nの配列縁辺16X、16Yの部分に傾斜面を形成し、端子18n上にメタライズ層24を形成して傾斜面に延設し、このメタライズ層24を利用してボンディングワイヤ67Aを施し、プリント回路基板12に形成している外部電極端子26に対してボンディングワイヤ67Aにより接続をなせばよい。

【0036】このようにして形成されたマルチチップパッケージ10は、プリント回路基板12に実装され、プリント回路基板12の端縁に設けたコネクタ端子32と共に電極18nとが配線ライン34によって接続される。これにより機能をもった半導体装置36が作製される。かかるマルチチップパッケージ10では、異種サイズの半導体チップ14は隣接する2辺16X、16Yに共通端子18nを集中配置するように設計作製し、これらの2辺16X、16Yが整列するようにコーナを一致させて積層する構成を採用しているので、ピラミッド状にチップ積層しなくともよく、積層作業を極めて簡易に行なわせることができる。そして、積層にはチップサイズによる制限は無いので、積層順位を任意に設定でき、パッケージ設計の自由度は著しく増大する。また、積層されるチップ14の共通端子18n同士の接続距離は上下間で共通にでき、ボンディングワイヤ67Aの長さも最短となる。この結果、電気的な特性の劣化を最小に抑えることができるのである。マルチチップパ

ッケージ10の揃えた縁辺16X、16Y以外の箇所では凹凸端面となるが、これらは樹脂モールドによって外形を整えることができる所以、何ら問題はない。

【0037】なお、上記構成では、サイズが異なる半導体チップ14A、14B、14Cを積層するものとして述べたが、サイズの如何に拘わらず、一つの回路装置を構成する異なる種類の半導体チップを対象とし、これらに共通する電極を同一の配列パターンで各チップにおける隣接する2辺の範囲内に集中配置し、前記2辺を整列させて異種半導体チップを積層してこの積層体の端面部分で共通電極の導通接続をなすようにしてもよい。この場合においても、前述した半導体チップ14Aの場合と同様に、同一種類の半導体チップは連続積層されるようすればよい。

【0038】また、上記構成では、半導体チップ14A、14B、14Cを積層してマルチチップパッケージ10を構成し、マルチチップパッケージ10は、プリント回路基板12に実装されて多層化された半導体装置36が作製される例を記載しているが、半導体チップ14A、14B、14Cのいずれか一つをプリント回路基板12に実装して単独よりなる半導体装置36Aを作製しても良い。

【0039】図11は、本発明の実施形態に係る多層化された半導体チップ14をプリント回路基板12に実装した多層化半導体装置36と、また、いずれか単独の半導体チップ14A、14B、14Cをプリント回路基板12に実装した単独半導体装置36Aとをマザーボード81に取着した回路基板1000を示している。回路基板1000には、例えば、ガラスエポキシ基板等の有機系基板を用いるのが一般的である。回路基板1000には、例えば、銅からなるボンディング部が所望の回路となるように形成されている。そして、ボンディング部と半導体装置36、36Aの外部電極とを機械的に接続することでそれらの電気的導通が図られる。

【0040】なお、半導体装置36、36Aは、実装面積をペアチップにて実装する面積にまで小さくすることができるので、この基板回路1000を電子機器に用いれば電気機器自体の小型化が図れる。また、同一面積においては、より実装スペースを確保することができ、高機能化を図ることが可能である。また、多層化された半導体装置36と単独の半導体装置36Aは、半導体チップの端子電極が容易に製作できるため、半導体装置が安価にできる。

【0041】そして、この回路基板1000を備える電子機器として図12にノート型パーソナルコンピュータ1200を示している。前記ノート型パーソナルコンピュータ1200は、高機能化を図った回路基板1000を備えているため、性能を向上させることができると。

【0042】

【発明の効果】以上説明したように、本発明に係る半導

体チップは、ウエハに予め定められたチップ単位毎に設定された分割個所に、導電材料を印刷装置より塗布し、チップ単位毎に分割した端子電極を有する構成としたので、印刷装置より流動状態で塗布した導電材料で電極が形成された後、ウエハがチップ単位毎に分割されるときに、電極も同時に分割されるため容易に製造できる。また、一回の塗布と、ウエハの切断に伴い二つの半導体チップの電極に用いることができる所以製作工程が少なくなり安価にできる。

【0043】本発明に係るマルチチップパッケージは、ウエハに予め定められたチップ単位毎に設定されている分割個所に、チップ単位毎に分割されたバンプ端子電極を有する半導体チップを積層し、かつ、各電極を接続し積層したチップ間を導通する導電体からなる構成としたので、チップの同一個所に作られた電極をほぼ同じ長さの導電体で導通するため、ほぼ同じ長さにでき、電気的特性の劣化を最小にすることのできる。また、積層した側面に電極間を接続する導電体を配設したため、同一サイズの下位半導体チップと上位半導体チップでも、ボンディングワイヤのために必要とする上下方向の空間が必要となり、外形寸法の厚さを小さく出来る。

【0044】本発明に係る半導体装置は、同一または異種サイズの複数の半導体チップをそれらの隣接する2辺を整列して積層し、各半導体チップに共通する端子を上記整列された縁辺側に集中させ、集中配置された積層チップ間の端子同士に電極を配置し、各電極をロジックチップの電極に接続した構成としたので、電極は隣接する2辺の範囲内に集中配置するとともに、同一列で電極を接続することが出来るため製造が容易になる。半導体チップの3次元実装が容易にできるとともに、電気的特性の劣化を最小にすることができる。また、製造の容易な半導体チップが用いられているため、安価な半導体装置が得られる。

【0045】また、電子機器は、小型化されたマルチチップパッケージよりなる半導体装置をマザーボードに実装して回路基板を備えた構成としたので、外形寸法の厚さを小さく出来るので、電子機器の外形も小型にでき、また、製造工程が少ないとともに、製造の容易な半導体チップおよびマルチチップパッケージを用いているため、安価な電子機器が出来る。

#### 【図面の簡単な説明】

【図1】本発明の実施形態に係るシリコンウエハ部の工程図の一部斜視図である。

【図2】本発明の実施形態に係るシリコンウエハ部の工程図の一部側面断面であり、図1のA-A断面図である。

【図3】本発明の実施形態に係るシリコンウエハ部の一部側面断面図であり、半導体チップのメタル層製造の工程図である。

【図4】本発明の実施形態に係るシリコンウエハ部の一

部側面断面図であり、半導体チップの電極製造の工程図である。

【図5】本発明の実施形態に係るシリコンウエハ部の一部側面断面図であり、半導体チップの切断の工程図である。

【図6】本発明の実施形態に係るシリコンウエハ部の一部斜視図であり、半導体チップの切断の工程図である。

【図7】本発明の第1施形態に係るマルチチップパッケージの電極構造（ボンディングワイヤ）の一部断面側面図である。

【図8】本発明の第2施形態に係るマルチチップパッケージの電極構造（半田導電体）の一部断面側面形状を示す工程図である。

【図9】本発明の第3施形態に係るマルチチップパッケージの電極構造（リード棒）の一部断面側面形状を示す工程図である。

【図10】実施形態に係るマルチチップパッケージを実装した半導体装置の斜視図である。

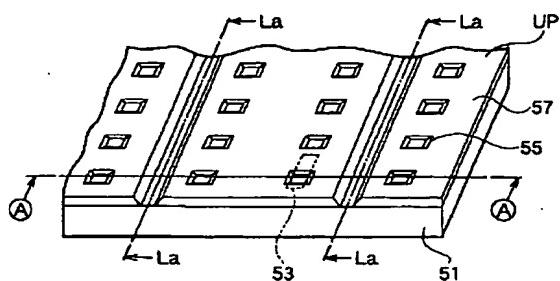
【図11】実施形態に係るマルチチップパッケージの回路基板への適用例の説明図である。

【図12】実施形態に係るマルチチップパッケージを実装した電子機器への適用例の説明図である。

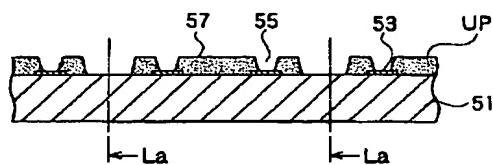
#### 【符号の説明】

- 10 ……マルチチップパッケージ
- 12 ……プリント回路基板
- 14 (14 A, 14 B, 14 C) ……半導体チップ
- 16 X, 16 Y ……整列縁辺
- 18 n ……共通端子
- 20 ……絶縁接着樹脂
- 22 ……ボンディングワイヤ
- 24 ……メタライズ層
- 26 ……外部電極端子
- 36, 36 A ……半導体装置
- 51 ……シリコンウエハ
- 53 ……アルミニウム配線
- 55 ……チップ電極パッド用穴
- 57 ……絶縁膜
- 59 ……メタル層
- 61 ……インクジェット装置
- 63 ……端子電極
- 65 ……樹脂封止材
- 67 ……導電体
- 67 A ……ボンディングワイヤ
- 67 B ……半田導電体
- 67 C ……リード棒
- 81 ……マザーボード
- 1000 ……回路基板
- 1200 ……ノート型パーソナルコンピュータ（電子機器）

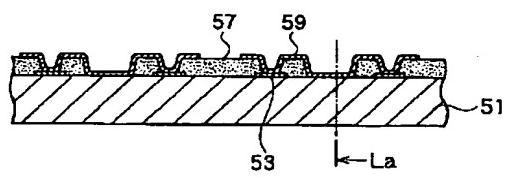
【図 1】



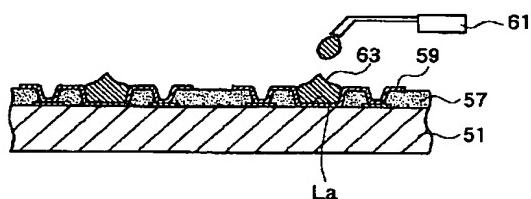
【図 2】



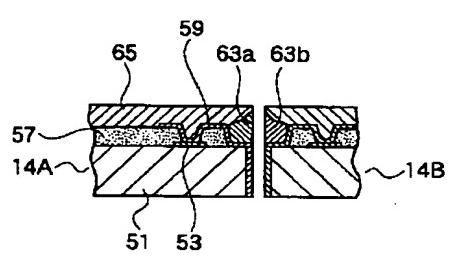
【図 3】



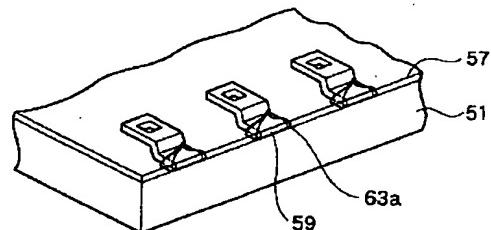
【図 4】



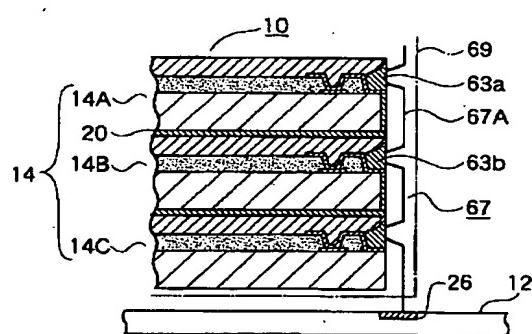
【図 5】



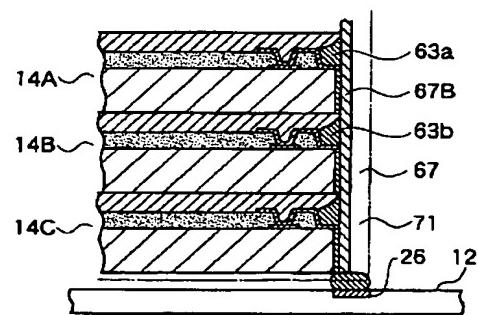
【図 6】



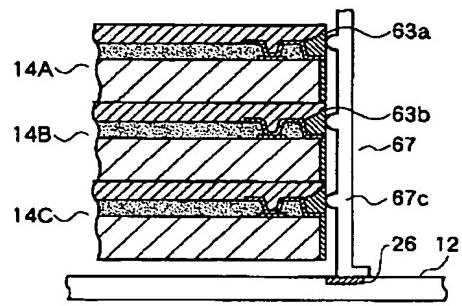
【図 7】



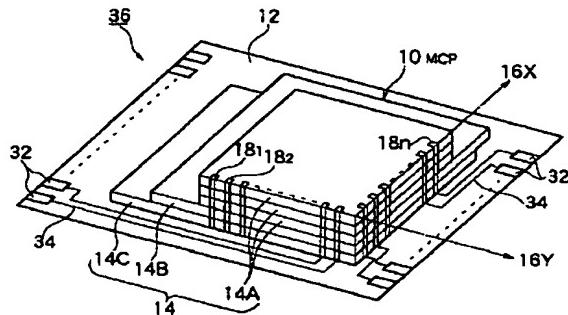
【図 8】



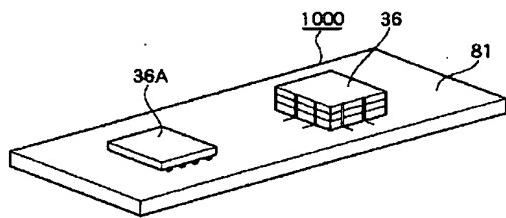
【図 9】



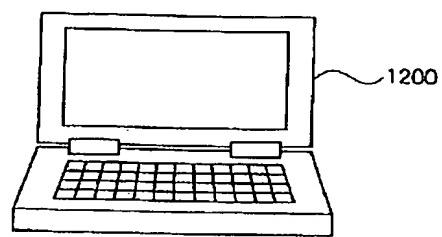
【図 10】



【図 11】



【図 12】




---

フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テ-マコ-ト (参考)

H 01 L 23/52

**[Claim(s)]**

[Claim 1] The semiconductor chip characterized by having the terminal electrode which applied the electrical conducting material with the airline printer, and divided it into the division part set up for every chip unit beforehand set to the wafer for every chip unit.

[Claim 2] The equipment which applies an electrical conducting material is a semiconductor chip according to claim 1 characterized by being any of the decalcomania equipment which consists of the regurgitation mold airline printer which consists of an ink jet method, a dispensing method, and a spray method or a screen-stencil method, a pin imprint method, and a \*\*\*\* type imprint method.

[Claim 3] The terminal electrode divided in claim 1 or a semiconductor chip according to claim 2 is the solder breathed out from ink jet equipment, gold, or a semiconductor chip characterized by being silver any.

[Claim 4] The multi chip package characterized by consisting of a conductor which flows through between the chips which carried out the laminating of the semiconductor chip which has the terminal electrode divided for every chip unit to the division part set up for every chip unit beforehand set to the wafer, and connected and carried out the laminating of each electrode to it.

[Claim 5] The multi chip package according to claim 4 characterized by having come to carry out continuous laminating of the semiconductor chip of the same class at least, and connecting each electrode to the electrode of a semiconductor chip.

[Claim 6] The semiconductor device characterized by applying an electrical conducting material with an airline printer, having the terminal electrode divided for every chip unit in the division part set up for every chip unit beforehand set to the wafer, and connecting a terminal electrode to the electrode of a semiconductor chip in it.

[Claim 7] The semiconductor device according to claim 6 which aligns those two adjoining sides, carries out the laminating of two or more same or semiconductor chips of different species size, and is characterized by having centralized the terminal common to each semiconductor chip on the border side by which alignment was carried out [ above-mentioned ], having arranged the electrode for the terminals during the laminating chip by which intensive arrangement was carried out, and connecting each electrode to the electrode of a semiconductor chip.

[Claim 8] Claim 6 characterized by connecting each electrode to the electrode of the

circuit board while making the same the array pattern of the electrode common terminal of each semiconductor chip and making the amount of [ of a layered product ] edge surface part arrange on a straight line in common, or a semiconductor device according to claim 7.

[Claim 9] Electronic equipment characterized by having the circuit board which connected the semiconductor device by MAZABODO in which a semiconductor device according to claim 6 to 8.

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a semiconductor chip, a multi chip package and a semiconductor device, and the electronic equipment that used it for the list.

[0002]

[Description of the Prior Art] Advanced features and a miniaturization of a semiconductor device are attained by arranging two or more semiconductor chips and a multi chip package (Multi Chip Package) taking in recent years into one package, with high-performance-izing of electronic equipment, and a miniaturization. And there are what put two or more semiconductor chips in order superficially, and a thing which carried out the laminating of two or more semiconductor chips in the thickness direction in a multi chip package. Since the multi chip package which put the semiconductor chip in order superficially needs a large component-side product, its contribution to the miniaturization of electronic equipment is small. For this reason, development stacked [ MCP ] which carried out the laminating of the semiconductor chip is performed briskly.

[0003] As this kind of package structure, it is common to have the composition of connecting the terminal electrode which carried out the laminating of two or more semiconductor chips to the shape of a pyramid according to the magnitude of a dimension, and was prepared in the top face of each semiconductor chip by the bonding wire as indicated by the official report of JP,62-158840,U and JP,6-37250,A.

[0004]

[Problem(s) to be Solved by the Invention] However, conventionally [ above-mentioned ], by the multi chip package of structure, the ranking which carries out a laminating will be regulated by the chip size, and there is a fault that there are few degrees of freedom of a laminating. moreover, although carried out to connection of the terminal electrode during a chip using a bonding wire, since the distance between terminals is not fixed, wire die length boils many things, and crosses, and there is a problem which degradation of the electrical characteristics resulting from bonding length produces.

Furthermore, since the formation field of a terminal electrode needs to be exposed and the low order chip of the chip which carries out a laminating has limited requirements in a chip size rather than a high order chip, it also always has the problem that a design degree of freedom is very small. Moreover, when the low order chip and high order chip of the same size are used, the space for a bonding wire is needed between a low order semiconductor chip and a high order semiconductor chip, and there is a fault that a dimension becomes large. For this reason, the low order chip and high order chip of the same size also have a small dimension, and development of a multi chip package with easy manufacture of an electrode is desired. Moreover, in the former, since an electrode applies soldering paste to vacuum evaporation or an electrode part one by one, and is formed in it and a production process increases, to be able to create by easy manufacture is desired.

[0005] It aims at offering the semiconductor chip which can make degradation of electrical characteristics min, a multi chip package and a semiconductor device, and the electronic equipment that used it for the list while this invention can do a dimension small paying attention to the above-mentioned conventional trouble while making manufacture of a terminal electrode easy, and it can perform three-dimension mounting of a semiconductor chip easily. Moreover, it aims at the ability to be made to carry out three-dimension mounting, without being influenced to a chip size the 2nd.

[0006]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the semiconductor chip concerning this invention is characterized by having the terminal electrode which applied the electrical conducting material with the airline printer, and divided it into the division part set up for every chip unit beforehand set to the wafer for every chip unit.

[0007] Thus, as for constituted this invention, an electrode is also divided into coincidence, when a terminal electrode is applied in the state of a flow by the airline printer, an electrode is formed and a wafer is divided for every chip unit in the division part defined beforehand. Moreover, since the electrode of two semiconductor chips can be made with one spreading and cutting of a wafer, a manufacture process decreases.

[0008] Moreover, by carrying out by any of the decalcomania equipment which consists of the regurgitation mold airline printer which consists of an ink jet method, a dispensing method, and a spray method or a screen-stencil method, a pin imprint method, and a \*\*\*\* type imprint method, the equipment which applies an electrical conducting material can be manufactured easily, and can lessen a manufacture process.

[0009] Moreover, in order that the terminal electrode divided may manufacture an

electrode with the solder breathed out from ink jet equipment, gold, or which a silver electrical conducting material, manufacture becomes easy more.

[0010] The multi chip package concerning this invention is characterized by consisting of a conductor which flows through between the chips which carried out the laminating of the semiconductor chip which has the terminal electrode divided for every chip unit to the division part set up for every chip unit beforehand set to the wafer, and connected and carried out the laminating of each electrode to it.

[0011] Thus, since constituted this invention flows through the electrode made by the same part of a chip with the conductor of the almost same die length, it is made to the almost same die length. Moreover, since the conductor which connects inter-electrode was arranged in the side face which carried out the laminating, the space of the vertical direction which also needs the low order semiconductor chip and high order semiconductor chip of the same size for a bonding wire becomes unnecessary.

[0012] Moreover, it is good to come to carry out continuous laminating of the semiconductor chip of the same class at least, and to connect each electrode to the electrode of a semiconductor chip.

[0013] Thus, since constituted this invention is carrying out continuous laminating of the semiconductor chip of the same class, the space of the vertical direction becomes unnecessary and it can make thickness of a dimension small.

[0014] The semiconductor device concerning this invention is characterized by applying an electrical conducting material with an airline printer, having the terminal electrode divided for every chip unit in the division part set up for every chip unit beforehand set to the wafer, and connecting a terminal electrode to the electrode of a semiconductor chip in it.

[0015] Thus, since an electrode is also divided into coincidence when divided for every chip unit in the division part as which the terminal electrode was applied by constituted this invention in the state of the flow with the airline printer like the above, the electrode was formed, and the wafer was determined beforehand and the electrode of a semiconductor chip can manufacture easily, it becomes cheap, and in connection with it, a semiconductor device can also be made cheap.

[0016] Moreover, the semiconductor device concerning this invention aligns those two adjoining sides, carries out the laminating of two or more same or semiconductor chips of different-species size, it centralizes the terminal common to each semiconductor chip on the border side by which alignment was carried out [ above-mentioned ], arranges an electrode for the terminals during the laminating chip by which intensive arrangement was carried out, and is characterized by connecting each electrode to the electrode of a

semiconductor chip.

[0017] Thus, while constituted this invention carries out intensive arrangement of the electrode within the limits of two adjoining sides, since an electrode is connectable in the same train, manufacture becomes easy. While being able to perform three-dimension mounting of a semiconductor chip easily, degradation of electrical characteristics can be made into min.

[0018] Moreover, it is desirable to connect each electrode to the electrode of a logic chip while a semiconductor device makes the same the array pattern of the electrode common terminal of each semiconductor chip and making the amount of [ of a layered product ] edge surface part arrange it on a straight line in common.

[0019] Thus, while the die length of the conductor which connects inter-electrode is made as for constituted this invention to the almost same die length and it can make degradation of electrical characteristics min like the above, since an electrode is connectable in the same train, manufacture becomes easy.

[0020] Moreover, electronic equipment is characterized by having connected the above-mentioned semiconductor device by MAZABODO, and having the circuit board.

[0021] Thus, since constituted this invention can make thickness of a dimension small, it can also make the appearance of electronic equipment small. Moreover, while there are few production processes, the easy multi chip package of manufacture is used.

[0022]

[Embodiment of the Invention] Below, the gestalt of the desirable operation of electronic equipment which used it is explained to a list as the semiconductor chip concerning this invention, a multi chip package, and a semiconductor device in a detail according to an accompanying drawing.

[0023] Drawing 1 thru/or drawing 6 are the perspective views or the production process Figs. showing a cross-section side-face configuration in part of a semiconductor chip 14 which constitute the multi chip package 10 concerning the operation gestalt of this invention.

[0024] a part of silicon wafer 51 section which constitutes the semiconductor chip 14 of a multi chip package 10 with which this invention is used for drawing 1 , and which is mentioned later -- a perspective view and drawing 2 are the A-A sectional views of drawing 1 with a side-face sectional view. A circuit element, for example, the circuit of the aluminum wiring 53, is made for every chip unit defined beforehand by the top face Up (active side side) of a silicon wafer 51, and the division part (La) for every chip unit of a semiconductor chip 14 is set to it. Moreover, the insulator layer 57 (SiO<sub>2</sub> film) is covered with some aluminum wiring 53 by the top face of a semiconductor chip 14

except for the hole 55 for chip electrode pads, and the division part (La) set up for every chip unit. That is, the top face of the silicon wafer 51 with which the circuit of aluminum wiring 53 grade was created has removed the insulator layer 57 (SiO<sub>2</sub> film) for the hole 55 for chip electrode pads, and the division part (La) by photoetching, after making an insulator layer 57 (SiO<sub>2</sub> film) by thermal oxidation.

[0025] He makes the division part (La) set up for every chip unit extend the aluminum wiring 53 which is the insulator layer 57 (SiO<sub>2</sub>) bottom, and was arranged on the hole 55 for chip electrode pads, and the flowing metal layer 59, and is trying to make signal I/O perform from the chip edge through this metal layer 59 in drawing 3. Vacuum evaporationo of aluminum etc. may perform this metal layer 59.

[0026] In drawing 4, it hardens, after breathing out the electrical conducting material of a paste-like flow condition on the metal layer 59 allotted to the division part (La) and putting on it on the metal layer 59 from ink jet equipment 61. This hardened terminal electrode 63 is formed by the shape of a cylindrical shape. Either solder, gold or silver is used for this terminal electrode 63. In order that the terminal electrode 63 divided may manufacture the terminal electrode 63 for the electrical conducting material of either soldering paste, a golden paste or a silver paste with discharge and the hardened electrical conducting material from ink jet equipment 61, manufacture becomes easy from others. In addition, although ink jet equipment 61 was used for the terminal electrode 63 in the above, the dispensing method and spray method which are the same regurgitation mold airline printer may be used, or the method and pin imprint method which are decalcomania equipment may be used.

[0027] In drawing 5 and drawing 6, a silicon wafer 51 is cut in the division part (La) set up for every chip unit, and the hardened terminal electrode 63 is also disconnected together in connection with this. Generally a diamond cutter (Dc), a diamond blade, or the scribing method cut by the laser beam is carried out to this cutting. Thereby, the terminal electrode 63 is disconnected by two after the part has put on the metal layer 59 allotted to the division part (La), and it is made as [ turn into / electrode / an electrode linked to the exterior of the semiconductor chips 14A and 14B with which each terminal electrodes 63a and 63b were manufactured by both sides ].

[0028] In drawing 5, except for the part of the terminal electrode 63, the mold of the chip cut for every chip unit in the division part (La) set up is carried out with the resin sealing agent 65, and each semiconductor chips 14A and 14B are manufactured. The transfernold approach which used mold metal mold, or the potting approach using potting resin can be used for this resin seal.

[0029] The laminating of each semiconductor chips 14A and 14B and 14C-- (this

operation gestalt three pieces) is carried out continuously, and, as for this semiconductor chip 14 by which the laminating was carried out, the multi chip package 10 consists of drawing 7, drawing 8, and drawing 9 by carrying out sequential connection of each terminal electrodes 63a and 63b with a conductor 67. Thickness is small made by each semiconductor chips' 14A, 14B, and 14C contacting, and a laminating being carried out in succession, in the vertical direction of illustration.

[0030] In drawing 7, each terminal electrodes 63a and 63b are connected by bonding wire 67A which is the 1st operation gestalt which is a conductor 67, and a flow is taken. Thereby, the die length of bonding wire 67A is made to the almost same die length, and can make degradation of electrical characteristics min. Moreover, even if top semiconductor chip 14A of the same size and bottom semiconductor chip 14B are used, the space of the vertical direction required for bonding wire 67A becomes unnecessary, and thickness of a dimension can be made small. What is necessary is just to connect bonding wire 67A to the external electrode terminal 26 formed in the printed circuit board 12 mentioned later. The mold of the outside of bonding wire 67A is carried out with the outside resin sealing agent 69, and the multi chip package 10 is constituted.

[0031] In drawing 8, each terminal electrodes 63a and 63b are connected by conductor 67B for solder of either the soldering paste and the golden paste which were breathed out in the state of the paste from the ink jet equipment 61 which is the 2nd operation gestalt which is a conductor 67, or a silver paste, and a flow is taken. Moreover, this ink jet equipment 61 is covered with the closure insulator layer 71 to the end face of a semiconductor chip 14, and you may make it form it in it from this ink jet. Thereby, a conductor 67 and the closure insulator layer 71 can be made by the configuration of easy equipment.

[0032] In drawing 9, each terminal electrodes 63a and 63b are connected by lead rod 67C which is the 3rd operation gestalt which is a conductor 67, and a flow is taken. Joining of lead rod 67C is carried out by the laser beam, and it is connected. Since others are the same, detailed explanation is omitted. What is necessary is just to connect lead rod 67C to the external electrode terminal 26 formed in the printed circuit board 12 mentioned later.

[0033] Drawing 10 is an example of the outline perspective view of the semiconductor device 36 which consists of the condition of having mounted the multi chip package 10 concerning the operation gestalt using the electrode structure (production process Fig. drawing 7 thru/or drawing 9) explained above in the printed circuit board 12. A laminating is carried out up and down and the multi chip package 10 is constituted so that those two adjoining sides may align two or more semiconductor chips 14A, 14B,

and 14C of different species size, as illustrated to these. If it puts in another way, a laminating will be carried out regardless of the size of semiconductor chips 14A, 14B, and 14C so that those one corner part may be in agreement. With this operation gestalt, minimum semiconductor chip 14A which makes a square is arranged at the upper layer, semiconductor chip 14B of somewhat large square size is arranged at the middle class of that low order, and the laminating of the semiconductor chip 14A of the lowest layer is carried out so that rectangle semiconductor chip 14C which has a long side longer than the one-side die length of the above-mentioned square semiconductor chip 14B and a shorter side shorter than the one-side die length of square semiconductor chip 14B may be arranged. And two or more minimum semiconductor chip 14A of the same size arranges and is made to carry out the laminating of the border continuously (the example of illustration three layers).

[0034] Thus, in order [ those / adjoining ] to carry out the laminating of two sides 16X and 16Y as one corner is in agreement so that it may align, with each semiconductor chip 14 (14A, 14B, 14C), the following configurations are adopted for two or more same or semiconductor chips 14A, 14B, and 14C of different species size. That is, the terminal common to each semiconductor chips 14A, 14B, and 14C is centralized on the border 16X [ by which alignment was carried out / above-mentioned ], and 16Y side. For example, when a semiconductor chip 14 is constituted as a memory device, control terminals, such as electrode terminals, such as power-source Rhine, a data line, and an address line, or write enable, can be carried out in common. Therefore, it is made to carry out intensive arrangement of the 18n ( $n = 1, 2, \dots, n$ ) of such common terminals on the alignment borders 16X and 16Y in each semiconductor chip 14. At this time, the array pattern of the common terminal of each semiconductor chip 14 is made in agreement. Of course, it is desirable to also make terminal pitch spacing regularity. When the laminating of each semiconductor chip 14 is carried out by doing in this way, 18n of terminals arranged by the end face of a layered product is arranged by one straight line in the direction of a vertical.

[0035] It faces carrying out the laminating of each semiconductor chip 14, and the fault by contact to a terminal and substrate silicon can be prevented between chips by making insulating adhesion resin 20 (referring to drawing 7) intervene between layers. And he connects by bonding wire 67A etc., and is trying for 18n of terminals of the laminating chip 14 to take a flow as shown in drawing 1. What is necessary is to form an inclined plane in the part of the array borders 16X and 16Y of 18n of terminals of each semiconductor chip 14, to form a metallized layer 24 on 18n of terminals, to install in an inclined plane, to give bonding wire 67A using this metallized layer 24, and just to

connect this by bonding wire 67A to the external electrode terminal 26 currently formed in a printed circuit board 12.

[0036] Thus, the formed multi chip package 10 is mounted in a printed circuit board 12, and the connector terminal 32 and 18n of common electrodes prepared in the edge of a printed circuit board 12 are connected by wiring Rhine 34. The semiconductor device 36 which had a function by this is produced. Since design production was carried out so that intensive arrangement of the 18n of the common terminals might be carried out, and the semiconductor chip 14 of different species size has adopted as adjoining two-side 16X and 16Y these configurations that a corner is made in agreement and carry out a laminating so that two sides 16X and 16Y may align, it is not necessary to carry out a chip laminating to the shape of a pyramid, and a laminating activity can be made to do very simply in this multi chip package 10. And since there is no limit by the chip size in a laminating, laminating ranking can be set as arbitration and the degree of freedom of a package design increases remarkably. Moreover, the connection distance of 18n of common terminals of the chip 14 by which a laminating is carried out is between the upper and lower sides, and can be carried out in common, and the die length of bonding wire 67A also serves as the shortest. Consequently, degradation of an electric property can be suppressed to min. Although it becomes a concave tip side in parts other than border 16X which the multi chip package 10 arranged, and 16Y, since these can prepare an appearance by resin mold, it is satisfactory in any way.

[0037] In addition, although the above-mentioned configuration described as what carries out the laminating of the semiconductor chips 14A, 14B, and 14C with which sizes differ It is aimed at the semiconductor chip of a different class which constitutes one circuit apparatus regardless of size. Intensive arrangement of the electrode common to these is carried out within the limits of two adjoining sides in each chip by the same array pattern, said two sides are aligned, the laminating of the different species semiconductor chip is carried out, and you may make it make flow connection of a common electrode by part for the edge surface part of this layered product. Also in this case, what is necessary is just made to carry out continuous laminating of the semiconductor chip of the same class like the case of semiconductor chip 14A mentioned above.

[0038] Moreover, the laminating of the semiconductor chips 14A, 14B, and 14C is carried out, a multi chip package 10 is constituted from an above-mentioned configuration, and although the multi chip package 10 has indicated the example by which the semiconductor device 36 which was mounted in the printed circuit board 12 and multilayered is produced, it may produce semiconductor device 36A which mounts

any one of the semiconductor chips 14A, 14B, and 14C in a printed circuit board 12, and consists of independent.

[0039] the multilayering semiconductor device 36 which mounted the multilayered semiconductor chip 14 which drawing 11 requires for the operation gestalt of this invention in the printed circuit board 12 -- moreover, either -- the circuit board 1000 which attached in MAZABODO 81 independent semiconductor device 36A which mounted the independent semiconductor chips 14A, 14B, and 14C in the printed circuit board 12 is shown. It is common to the circuit board 1000 to use organic system substrates, such as for example, a glass epoxy group plate. It is formed in the circuit board 1000 so that the bonding area which consists of copper may serve as a desired circuit. And those electric flows are achieved by connecting mechanically a bonding area and the external electrode of semiconductor devices 36 and 36A.

[0040] In addition, since it can be made small even in the area which mounts a component-side product with a bare chip, semiconductor devices 36 and 36A can attain the miniaturization of the electrical machinery and apparatus itself, if this plated circuit 1000 is used for electronic equipment. Moreover, in the same area, a mounting tooth space can be secured more and it is possible to attain advanced features. moreover, the terminal electrode of a semiconductor chip can manufacture easily the multilayered semiconductor device 36 and independent semiconductor device 36A -- it can curtain and a semiconductor device is made cheaply.

[0041] And the note type personal computer 1200 is shown in drawing 12 as electronic equipment equipped with this circuit board 1000. Since said note type personal computer 1200 is equipped with the circuit board 1000 aiming at advanced features, it can raise the engine performance.

[0042]

[Effect of the Invention] When a wafer is divided for every chip unit after an electrode is formed with the electrical conducting material which applied in the state of [ airline printer ] a flow, since the semiconductor chip concerning this invention considered as the configuration which has the terminal electrode which applied the electrical conducting material from the airline printer, and divided it into the division part set up for every chip unit beforehand set to the wafer for every chip unit as having explained above, since an electrode is also divided into coincidence, it can manufacture easily. Moreover, since it can use for the electrode of two semiconductor chips with one spreading and cutting of a wafer, a manufacture process decreases and it can do cheaply.

[0043] The multi chip package concerning this invention in the division part set up for every chip unit beforehand set to the wafer Since it considered as the configuration

which consists of a conductor which flows through between the chips which carried out the laminating of the semiconductor chip which has the Bengbu terminal electrode divided for every chip unit, and connected and carried out the laminating of each electrode Since it flows through the electrode made by the same part of a chip with the conductor of the almost same die length, it is made to the almost same die length, and degradation of electrical characteristics can be made into min. Moreover, since the conductor which connects inter-electrode was arranged in the side face which carried out the laminating, the space of the vertical direction needed for a bonding wire becomes unnecessary, and the low order semiconductor chip and high order semiconductor chip of the same size can also make thickness of a dimension small.

[0044] The semiconductor device concerning this invention aligns those two adjoining sides, and carries out the laminating of two or more same or semiconductor chips of different species size. Since the terminal common to each semiconductor chip was centralized on the border side by which alignment was carried out [above-mentioned], the electrode is arranged for the terminals during the laminating chip by which intensive arrangement was carried out and each electrode was considered as the configuration linked to the electrode of a logic chip While an electrode carries out intensive arrangement within the limits of two adjoining sides, since an electrode is connectable in the same train, manufacture becomes easy. While being able to perform three-dimension mounting of a semiconductor chip easily, degradation of electrical characteristics can be made into min. Moreover, since the easy semiconductor chip of manufacture is used, a cheap semiconductor device is obtained.

[0045] Moreover, since it is considered as the configuration which mounted the semiconductor device which consists of a miniaturized multi chip package in MAZABODO, and was equipped with the circuit board and thickness of a dimension can be made small, electronic equipment can also make the appearance of electronic equipment small, and since the easy semiconductor chip and easy multi chip package of manufacture are used for it while there are few production processes, it can do cheap electronic equipment.

#### [Brief Description of the Drawings]

[Drawing 1] some process drawings of the silicon wafer section concerning the operation gestalt of this invention -- it is a perspective view.

[Drawing 2] Process drawing of the silicon wafer section concerning the operation gestalt of this invention is a side-face cross section a part, and it is the A-A sectional view of drawing 1.

[Drawing 3] The silicon wafer section concerning the operation gestalt of this invention

is a side-face sectional view a part, and it is process drawing of metal layer manufacture of a semiconductor chip.

[Drawing 4] The silicon wafer section concerning the operation gestalt of this invention is a side-face sectional view a part, and it is process drawing of electrode manufacture of a semiconductor chip.

[Drawing 5] The silicon wafer section concerning the operation gestalt of this invention is a side-face sectional view a part, and it is process drawing of cutting of a semiconductor chip.

[Drawing 6] The silicon wafer section concerning the operation gestalt of this invention is a perspective view a part, and it is process drawing of cutting of a semiconductor chip.

[Drawing 7] a part of electrode structure (bonding wire) of the multi chip package concerning the 1st \*\*\*\*\* of this invention -- it is a cross-section side elevation.

[Drawing 8] a part of electrode structure (solder conductor) of the multi chip package concerning the 2nd \*\*\*\*\* of this invention -- it is process drawing showing a cross-section side-face configuration.

[Drawing 9] a part of electrode structure (lead rod) of the multi chip package concerning the 3rd \*\*\*\*\* of this invention -- it is process drawing showing a cross-section side-face configuration.

[Drawing 10] It is the perspective view of a semiconductor device which mounted the multi chip package concerning an operation gestalt.

[Drawing 11] It is the explanatory view of the example of application to the circuit board of the multi chip package concerning an operation gestalt.

[Drawing 12] It is the explanatory view of the example of application to the electronic equipment which mounted the multi chip package concerning an operation gestalt.

#### [Description of Notations]

10 ..... Multi chip package

12 ..... Printed circuit board

14 (14A, 14B, 14C) ..... Semiconductor chip

16X, 16Y ..... Alignment border

18n ..... Common terminal

20 ..... Insulating adhesion resin

22 ..... Bonding wire

24 ..... Metallized layer

26 ..... External electrode terminal

36 36A ..... Semiconductor device

51 ..... Silicon wafer

- 53 ..... Aluminum wiring
- 55 ..... Hole for chip electrode pads
- 57 ..... Insulator layer
- 59 ..... Metal layer
- 61 ..... Ink jet equipment
- 63 ..... Terminal electrode
- 65 ..... Resin sealing agent
- 67 ..... Conductor
- 67A ..... Bonding wire
- 67B ..... Handa conductor
- 67C ..... Lead rod
- 81 ..... MAZABODO
- 1000 ..... Circuit board
- 1200 ..... Note type personal computer (electronic equipment)